

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

01429671 **Image available**

THIN-FILM TRANSISTOR

PUB. NO.: 59-141271 [JP 59141271 A]

PUBLISHED: August 13, 1984 (19840813)

INVENTOR(s): TAKEDA MAKOTO

HISHIDA TADANORI

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 58-015748 [JP 8315748]

FILED: January 31, 1983 (19830131)

INTL CLASS: [3] H01L-029/78; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --
Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

JOURNAL: Section: E, Section No. 284, Vol. 08, No. 272, Pg. 42,
December 13, 1984 (19841213)

ABSTRACT

PURPOSE: To obtain an insulated gate type thin-film transistor consisting of crystallite silicon of high reliability and excellent characteristics by forming a gate insulating film by the compound insulating film of an anode oxide film and a protective film.

CONSTITUTION: A gate electrode 20 consisting of Ta and a first insulating film 30 consisting of a thin Ta(sub 2)O(sub 5) film anodic-oxidized are formed on a glass substrate 10, and an Si(sub 3)N(sub 4) film is laminated as a second insulating film 31. A crystallite silicon layer through the decomposition of SiH(sub 4) gas diluted with a large amount of hydrogen by glow discharge is laminated as a semiconductor layer 40, Ti is evaporated as a source electrode 50 and a drain electrode 60, and Si(sub 3)N(sub 4) is laminated as a protective film 70. The Ta(sub 2)O(sub 5) film of excellent insulating property can be maintained after forming the semiconductor layer 40 because the Si(sub 3)N(sub 4) film is protected when forming the crystallite silicon layer by glow discharge.

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
003769726

WPI Acc No: 1983-765940/198338

XRPX Acc No: N83-165101

Thin film transistor with insulated gate - gate has double insulating
layer formed by anodising and glow discharge process

Patent Assignee: SHARP KK (SHAF)

Inventor: HISHIDA T; TAKEDA M

Number of Countries: 004 Number of Patents: 009

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 3306535	A	19830915	DE 3306535	A	19830224	198338 B
JP 58147069	A	19830901	JP 8315748	A	19830131	198341
GB 2118774	A	19831102				198344
JP 59141271	A	19840813				198438
GB 2118774	B	19851127				198548
DE 3306535	C	19860313				198612
JP 5029626	A	19930205	JP 8230219	A	19820225	199310
			JP 91345733	A	19820225	
JP 6097444	A	19940408	JP 8315748	A	19830131	199419
			JP 92210560	A	19830131	
US 5340999	A	19940823	US 83467667	A	19830218	199433
			US 89333732	A	19890403	
			US 92968453	A	19921029	

Priority Applications (No Type Date): JP 8315748 A 19830131; JP 8230219 A
19820225; JP 82U30219 U 19820225; JP 91345733 A 19820225; JP 92210560 A
19830131

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
DE 3306535	A	14		
JP 5029626	A		H01L-029/784	Div ex application JP 8230219
JP 6097444	A	4	H01L-029/784	Div ex application JP 8315748
US 5340999	A		H01L-027/01	Cont of application US 83467667 Cont of application US 89333732

Abstract (Basic): DE 3306535 A

The parameters of a thin film transistor with insulated gate
require a very thin insulated layer which is liable to perforation when
the semi-conductor is deposited. In the transistor damage caused by a
double insulating layer on the gate is avoided.

The first insulating oxide layer on the gate is formed by
anodising. This is covered by a second insulating layer on which the
amorphous semiconductor is deposited by a glow discharge process. 0/4

Title Terms: THIN; FILM; TRANSISTOR; INSULATE; GATE; GATE; DOUBLE; INSULATE
; LAYER; FORMING; ANODISE; GLOW; DISCHARGE; PROCESS

Derwent Class: P81; U11; U12; U14

International Patent Class (Main): H01L-027/01; H01L-029/784

International Patent Class (Additional): G02F-001/136; H01L-021/316;
H01L-021/84; H01L-027/12; H01L-027/13; H01L-029/78

File Segment: EPI; EngPI

⑫ 公開特許公報 (A)

昭59—141271

⑪ Int. Cl.³

H 01 L 29/78

// H 01 L 27/12

識別記号

庁内整理番号

7377—5F

⑬ 公開 昭和59年(1984) 8月13日

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ 薄膜トランジスタ

⑯ 発明者 菱田忠則

大阪市阿倍野区長池町22番22号

シャープ株式会社内

⑰ 特 願 昭58—15748

⑱ 出 願 昭58(1983) 1月31日

⑲ 発明者 竹田信

大阪市阿倍野区長池町22番22号

シャープ株式会社内

⑳ 出 願 人 シャープ株式会社

大阪市阿倍野区長池町22番22号

㉑ 代理人 弁理士 福士愛彦 外 2 名

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

1. 陽極酸化膜と該陽極酸化膜に被覆された保護絶縁層とを有するゲート絶縁膜と、前記保護絶縁膜上に形成された微結晶又はその一部が微結晶化した非晶質の半導体層と、を具備して成る薄膜トランジスタ。

2. 前記半導体層がグロー放電により形成された粒径50Å以上の微結晶を有するシリコン層で構成された特許請求の範囲第1項記載の薄膜トランジスタ。

3. 陽極酸化膜が Ta_2O_5 から成る特許請求の範囲第1項記載の薄膜トランジスタ。

4. 保護絶縁膜が Si_3N_4 、 SiO_2 又は金属酸化物の薄膜より成る特許請求の範囲第1項記載の薄膜トランジスタ。

3. 発明の詳細な説明

<技術分野>

本発明は絶縁ゲート形薄膜トランジスタ(以下TFETと称す)に関するものであり、特に半導体層に少なくとも一部が微結晶化したシリコン(以下単に微結晶シリコンと称す)を用いた場合に於いて、特性が良好で高い信頼性を得ることができるとTFET構造に関するものである。

<従来技術>

従来の一般的なTFETの構造及びその形成法について第1図とともに説明する。絶縁基板1上にゲート電極2、ゲート絶縁膜3、半導体層4を順次堆積し、半導体層4にソース電極5及びドレイン電極6を形成することによりTFETが作製される。絶縁基板1としては一般的にガラス板、セラミック板、石英板等が用いられる。また、ゲート電極2はCr、Al、Ni、Au等の金属材料、ゲート絶縁膜3は SiO_2 、 Si_3N_4 、 Al_2O_3 、 Ta_2O_5 、 Y_2O_3 、 Si_3N_4 、 MgF_2 等の酸化物、窒化物又は弗化物、半導体層4はCdS、CdSe、Te、PbS、アモルファスシリコン又は微結晶シリコン等

形成される。ソース電極5及びドレイン電極6

(3)

としては Al, Ag, Ni, Cr, In 等の半導体層4とオーミックコンタクトが可能な金属が用いられる。

上記構造を有するTFTを例えば液晶表示装置のマルチプレックス駆動に使用する場合、TFTのオフ抵抗(R_{OFF})が充分に高く遮断性が良好であること、オン抵抗(R_{ON})が充分に低くオン/オフ比(R_{OFF}/R_{ON})が高いこと及びスイッチング速度が大きいことを必要とし、更に長時間の動作に対して安定であることが要求される。このような特性を満足するTFTを実現するためにはTFTのゲート絶縁膜3が、(1)絶縁性が良好(ピンホールが無い)でかつ信頼性及び耐圧が高いこと、(2)可能イオン密度が低いこと、(3)半導体との界面単位密度が小さいこと、(4)半導体に対する電界効果が高いこと、等の条件を満たしていることが必要であるが、上記(1)と(4)は相反する要求でありこれを同時に満足させることは困難である。例えば、スパッタリング法、CVD法等で

Si_3N_4 等の薄膜を形成する場合、

(3)

た SiH_4 ガスを分解して形成したシリコン膜は微結晶を含み、移動度が大きく、上記アモルファスシリコンのTFTとしての利点を損なうことなく応答速度が改善される。従って、陽極酸化膜をゲート絶縁膜3として組み合わせることにより、極めて特性の良いTFTが作製されることが考えられる。

しかしながら、陽極酸化膜にグロー放電による微結晶シリコン層を堆積すると陽極酸化膜が損傷を受けて劣化し、絶縁性が著しく低下するためTFTのゲート絶縁膜3としての機能を果たすことができなくなる。陽極酸化膜をゲート絶縁膜3として用いる場合には必然的に半導体層4の形成工程はゲート絶縁膜3の形成工程の後でなければならず、このため上記絶縁性の低下を回避することが良好なTFTを作製する上で非常に重要な要件となる。

<発明の目的>

本発明は上記問題点に鑑み、技術的手段を駆使することにより、陽極酸化膜の絶縁低下を招くこ

(5)

2000~3000Å以下の厚さではピンホールの無い薄膜を形成することは極めて困難となる。しかしながら、陽極酸化法によれば、数百Åの厚さでピンホールの無い絶縁膜を得ることができ、耐圧も高い。半導体表面に対する電界効果はゲートに印加する電圧を一定とすれば絶縁膜の誘電率に比例し厚さに反比例するので陽極酸化膜を用いることにより絶縁性を良好に保持しながら厚さを薄くすることができ、極めて大きな電界効果が期待される。

一方、半導体層4としては、アモルファスシリコンを単体として使用すると、従来用いられてきたCdSe等の化合物半導体に於いて問題となる化学量論的組成からのずれに起因する特性のばらつきが少なく、またエネルギーギャップも大きく真性キャリアの数が少ないこと等のTFT用半導体層として優れた利点が得られる。しかしながらアモルファスシリコンに於いては、そのキャリア移動度が極めて小さく応答速度の点で問題があった。一方、グロー放電により多量の水素で希釈し

(4)

となく微結晶シリコン層を半導体層として形成した新規有用なTFTを提供することを目的とするものである。

<実施例>

第2図は本発明の一実施例を示すTFTの構成断面図である。

ガラス基板10上に Ta 膜を堆積した後、これを酒石酸アンモニウム水溶液に浸漬し、化成処理する。65Vの定電圧化成で1000Åの Ta_2O_5 膜が作製され、この結果 Ta から成るゲート電極20と Ta 表面の薄い酸化膜から成る第1の絶縁膜30が形成される。第1の絶縁膜30上にはCVD法又はスパッタリング法等で厚さ1000Åの Si_3N_4 膜が第2の絶縁膜31として積層される。第2の絶縁膜31は Si_3N_4 以外に SiO_2 、 SiO_x 、 Y_2O_3 、 Al_2O_3 、 MgF_2 等が実施に供され、陽極酸化された Ta_2O_5 膜即ち第1の絶縁膜を保護する機能を有する。この第1の絶縁膜30と第2の絶縁膜31でゲート絶縁層が構成される。次に半導体層40としてグロー放電により多量の

(6)

水素で希釈した SiH_4 ガス、例えば $\text{SiH}_4/(\text{SiH}_4 + \text{H}_2) = 0.03$ を分解し、微結晶シリコン層を 3000 \AA 積層し、次にソース電極50及びドレイン電極60として 3000 \AA の Ti を蒸着すると本実施例のTFTが作製される。半導体層40は微結晶シリコンの集合体あるいは一部が微結晶化したアモルファス(非晶質)シリコン層で構成される。また微結晶シリコンの粒径は 50 \AA 程度から数百 \AA 程度に設定される。多量の水素で希釈した SiH_4 ガスを用いてグロー放電すると得られる層はアモルファスシリコン層中に微結晶シリコンが島状に点在した状態となり、その粒径は一般的に $50 \sim 1000 \text{ \AA}$ 程度である。これを必要に応じて成長されると微結晶シリコンが順次増加し、全体が多結晶に移行する。このTFTは保護膜70としてCVD法により Si_3N_4 が 3000 \AA 積層され、半導体層40がコートされる。この保護膜70は微結晶シリコン層の保護のみならず半導体層40の裏の表面を空乏化し、オフ状態のリーク電流を減少させ、TFTの特性

(7)

得られ、ゲート電圧が 0 V での抵抗(オフ抵抗)が高くなり、液晶マトリックス駆動用TFTとして適する特性が得られる。また保護膜70は、TFTが直接大気と接触することを防止し、微結晶シリコン層のゲートと逆の面(裏面)に於けるバンドの曲がりを少なくし、特性の安定化を向上せしめると同時にオフ抵抗を高く保持する作用を有する。更に液晶表示素子を駆動するための一方のセル基板に適用した場合にも液晶層とTFTが直接接触するのを防止し、TFTの寿命特性の向上に寄与する。その他上記保護膜70は、光の遮蔽のため金属層をTFTの活性領域上に形成する場合にも重要で、保護膜70上に金属層を設け、TFTの活性領域を蔽った場合にもリークによりオフ抵抗が低下するといった問題がない。

第3図は上述のTFTに於けるドレイン電流-ゲート電圧特性($V_{DS} = +10 \text{ V}$)を示すものである。測定したTFTはソース電極50とドレイン電極60間の間隔に対応するチャネル長 L が $40 \mu\text{m}$ 、チャネル幅 W が $2000 \mu\text{m}$ のもので

(9)

を大きく向上させる。

上記実施例に於いて、 Si_3N_4 の比誘電率を6.4、 Ta_2O_5 の比誘電率を26.0とすれば、ゲート絶縁膜を Si_3N_4 のみで形成して本実施例と同等の電界効果を得るには 1250 \AA 程度の厚さに層設することが必要であるが、これではピンホールのために絶縁特性が劣化する。しかるに上記実施例の如くゲート絶縁膜を Ta_2O_5 膜と Si_3N_4 膜の複合膜で構成した場合、 Ta_2O_5 膜にはピンホール等の発生がなく高い絶縁特性が得られる。また Ta_2O_5 膜上に Si_3N_4 膜を堆積することにより、微結晶シリコン層をグロー放電で形成する際に Si_3N_4 膜が Ta_2O_5 膜を保護することとなり Ta_2O_5 膜を損傷することがなく、従って半導体層4形成後も絶縁性の良好な Ta_2O_5 膜を維持することができる。

ゲート電極20は Ta で構成されているが、 n チャンネル動作のTFTに於いては、 Al 等の場合と比較して Ta の仕事関数が大きいためピンチオフ電圧が正となり、ノーマル・オフのTFTが

(8)

ある。またソースドレイン間の電圧 V_{DS} は 10 V である。ゲート電圧が $0 \text{ V} \sim +5 \text{ V}$ の範囲において3桁以上、 $0 \text{ V} \sim +10 \text{ V}$ の範囲において5桁のオン・オフ比(ドレイン電流比)が得られていることがわかる。

以上詳説した如く、本発明はゲート絶縁膜を陽極酸化膜とこの陽極酸化膜を微結晶シリコンのグロー放電形成時に保護する保護膜との複合絶縁膜で形成することにより信頼性の高いかつ特性の良好な微結晶シリコンのTFTを構成したものであり、その技術的意義は多大である。

4. 図面の簡単な説明

第1図は従来のTFTの基本的構成を示す断面図である。

第2図は本発明の一実施例を示すTFTの基本的構成図である。

第3図は第2図に示すTFTのドレイン電流対ゲート電圧特性を示す説明図である。

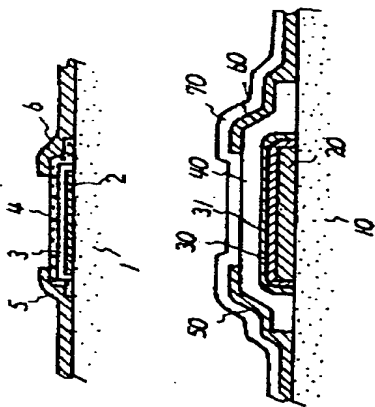
10…ガラス基板、 20…ゲート電極、
30…第1の絶縁膜、 31…第2の絶縁膜、

00

40…半導体層、50…ソース電極、
60…ドレイン電極、70…保護膜。

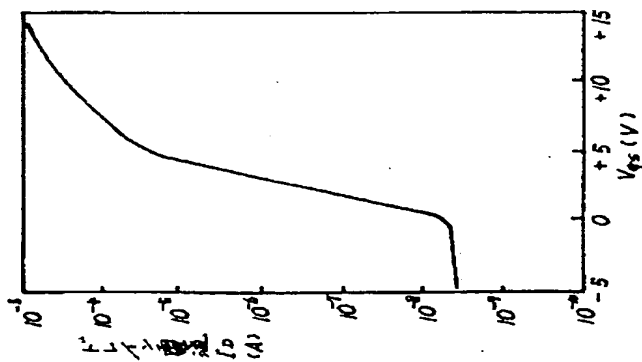
代理人 弁理士 福士 愛彦(他2名)

00



第1図

第2図



第3図